

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-290413
 (43)Date of publication of application : 28.11.1988

(51)Int. Cl.

H03M 1/66
 G06F 15/31
 G06F 15/66
 G06J 1/00

(21)Application number : 62-126208
 (22)Date of filing : 22.05.1987

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : AONO KUNITOSHI

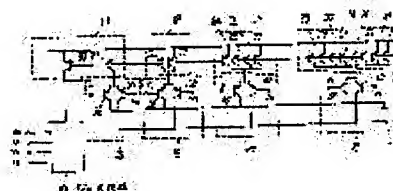
(54) DIGITAL SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the circuit scale and the arithmetic speed by using a bit signal of a prescribed multiple factor so as to switch an output current of a prescribed current mirror circuit respectively and obtaining its total sum.

CONSTITUTION: Let an output current of a D/A converter 10 be $A(X_i)$, output currents of current mirror circuits 11, 12, 13, 14 are respectively $A(X_i)$, $2A(X_i)$, $4A(X_i)$ and $8A(X_i)$. Transistor (TR) pairs 36 and 37, 38 and 39, 40 and 41, and 42 and 43 constitute switching 15, 16, 17, 18 respectively to switch the output current of the circuits 11, 12, 13, 14. The circuits 15, 16, 17, 18 are switched by using digital signals Y_0 , Y_1 , Y_2 and Y_3 at a reference voltage V_B respectively and the final analog output current P is expressed in an equation. That is, the digital signal X_i is converted into the analog signal $A(X_i)$ and a signal being the amplification of Y_i time is outputted.

$$P = A(X_i) \cdot Y_0 + 2 \cdot A(X_i) \cdot Y_1 + 4 \cdot A(X_i) \cdot Y_2 + 8 \cdot A(X_i) \cdot Y_3$$



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

⑫ 公開特許公報(A)

昭63-290413

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月28日

H 03 M 1/66

A-6832-5J

G 06 F 15/31

D-7056-5B

15/66

8419-5B

G 06 J 1/00

F-6711-5B

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 デジタル信号処理回路

⑯ 特 願 昭62-126208

⑰ 出 願 昭62(1987)5月22日

⑱ 発 明 者 青 野 邦 年 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

デジタル信号処理回路

2. 特許請求の範囲

デジタル信号処理回路の出力段において、第1のデジタル信号と第2のデジタル信号を乗算し、この乗算結果をアナログ信号で出力する出力回路を有し、該出力回路が、前記第1のデジタル信号をアナログ電流に変換するデジタル・アナログ変換器と、該アナログ電流を電流源とした2のべき乗の重み付けをされた複数のカレントミラー回路とにより構成され、該カレントミラー回路の出力電流を、前記第2のデジタル信号の各ビット信号によりそれぞれスイッチングする事を特徴とするデジタル信号処理回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、デジタル信号処理回路に関するものであり、特にデジタル信号処理回路の出力部の乗算器とデジタル・アナログ変換器(以下

D/A変換器と記す)に関するものである。

従来の技術

近年のデジタル集積回路の発展により、音声や映像信号などのアナログ信号をデジタル信号に変換して処理するデジタル信号処理の技術が急速に進歩し、広範囲に応用される様になった。

第2図は一般のデジタル信号処理回路の全体構成図であり、アナログ入力信号1をアナログ・デジタル変換器(以下A/D変換器と記す)2によりデジタル信号に変換する。このデジタル信号が信号処理回路3で加算や乗算等の代数的演算処理をうけ、その後D/A変換器4によりアナログ出力信号5を得るものである。

このようなデジタル信号処理回路において、信号処理回路3では所望の代数的演算を行なうが、その最終段においては、出力信号量の変換すなわち適当な増幅を行なったのちにD/A変換する場合が多い。この増幅処理は、通常デジタル乗算器によって行なわれる。

第3図に従来のデジタル信号処理回路の一般

的な出力部の構成を示す。乗算器6に、デジタル信号 X_i 、 Y_j が入力され、 X_i の信号が Y_j 倍されてデジタル出力が得られる。このデジタル出力をD/A変換器4により変換して最終のアナログ出力信号6が得られるものである。

発明が解決しようとする問題点

この様な従来の回路において、信号量の任意の増幅には、デジタル信号処理において簡便的に良く用いられるシフト演算では対応できない為、デジタル乗算器が不可欠となっている。しかしながら、デジタル乗算器の回路規模は大きく、その演算速度も高速化が望まれている。特に信号のビット長が長い場合には、その問題が顕著に表われるようになる。

本発明はかかる点に鑑みてなされたもので、簡易な構成で、高速にデジタル信号の増幅そしてアナログ変換を実現する出力段を有するデジタル信号処理回路を提供することを目的としている。

問題点を解決するための手段

本発明は上記問題点を解決するため、被乗数と

としている。

第1図において、10はD/A変換器であり、デジタル信号 X_i をアナログ電流に変換するものである。またトランジスタ20、21は、D/A変換器を電流源とする第1のカレントミラー回路11を構成している。同様に、2個のトランジスタ22、23により2倍に重み付けされた第2のカレントミラー回路12が構成され、4個のトランジスタ24~27により4倍に重み付けされた第3のカレントミラー回路13が構成され、8個のトランジスタ28~35により8倍に重み付けされた第4のカレントミラー回路14が構成されている。

すなわち、D/A変換器の出力電流を $A(X_i)$ とすると、カレントミラー回路11の出力電流は $A(X_i)$ 、カレントミラー回路12の出力電流は $2 \cdot A(X_i)$ 、カレントミラー回路13の出力電流は $4 \cdot A(X_i)$ 、カレントミラー回路14の出力電流は $8 \cdot A(X_i)$ が得られる。

次に、トランジスタ対、36と37、38と39、

なるデジタル信号 X_i をアナログ電流に変換し、このアナログ電流を電流源とし、2のべき乗の重み付けをしたカレントミラー回路群を設け、各カレントミラー回路の出力電流を乗数 Y_j の各ビット信号によりそれぞれスイッチングし、その総和を求める事により、デジタル信号 X_i が Y_j だけ増幅され同時にアナログ信号に変換された出力を得るものである。

作用

本発明は上記した構成により、乗算器とD/A変換器を一体化する事が可能となり、回路規模が大幅に縮小でき、また演算速度が飛躍的に向上される。

実施例

第1図は本発明のデジタル信号処理回路の一実施例を示す回路図である。ここでは説明を容易にする為、デジタル信号 X_i 、 Y_j をそれぞれ4ビットとして図示しており、 X_i 、 Y_j は

$$X_i = X_3 \cdot 2^3 + X_2 \cdot 2^2 + X_1 \cdot 2 + X_0$$

$$Y_j = Y_3 \cdot 2^3 + Y_2 \cdot 2^2 + Y_1 \cdot 2 + Y_0$$

40と41、42と43はそれぞれスイッチング回路15、16、17、18を構成しており、前記カレントミラー回路11、12、13、14の出力電流をそれぞれスイッチングする。またスイッチング回路の各出力端は互いに結線され、電流加算が行なわれる。

ここで、スイッチング回路は基準電圧 V_B と、前記デジタル信号 Y_j の各ビット信号との電圧比較によりスイッチングされるものであり、スイッチング回路15は Y_0 、スイッチング回路16は Y_1 、スイッチング回路17は Y_2 、スイッチング回路18は Y_3 により制御する事により最終アナログ出力電流Pは

$$P = 8 \cdot A(X_i) \cdot Y_3 + 4 \cdot A(X_i) \cdot Y_2 + 2 \cdot A(X_i) \cdot Y_1 + A(X_i) \cdot Y_0$$

として求まる。すなわちデジタル信号 X_i がアナログ信号 $A(X_i)$ に変換され、それが Y_j 倍増幅された信号が出力されるものである。

発明の効果

以上述べてきた様に、本発明によれば、きわめ

て簡単な構成で、デジタル信号の増幅およびアナログ変換が同時におこなえ、かつ非常に高速に処理が可能である為実用的にきわめて有用である。

4. 図面の簡単な説明

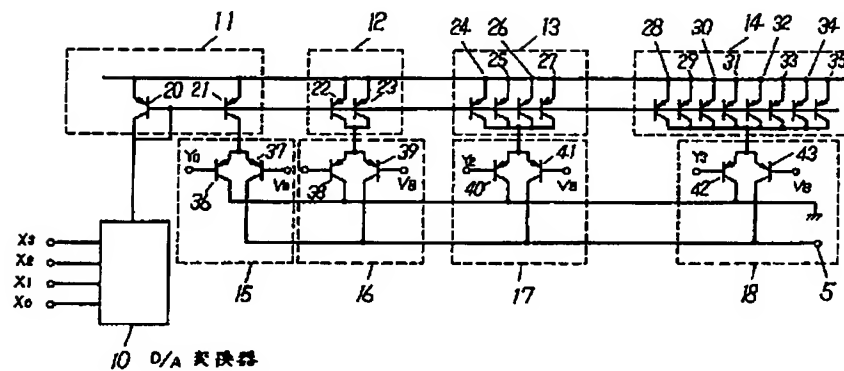
第1図は本発明の一実施例におけるデジタル信号処理回路を示す回路図、第2図は一般のデジタル信号処理回路の全体構成図、第3図は従来のデジタル信号処理回路の出力部一例の構成図を示す。

10……D/A変換器、11～14……カレントミラー回路、15～18……スイッチング回路、20～43……トランジスタ。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

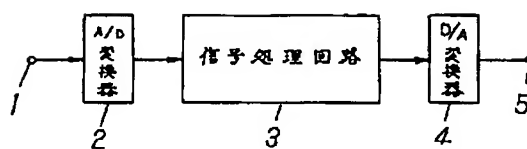
第 1 図

11~14 — カレントミラー回路
15~18 — スwitchング回路



- 1 — アナログ入力信号
5 — アナログ出力信号

第 2 図



第 3 図

